

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-218564  
 (43) Date of publication of application : 10.08.1999

(51) Int. Cl. G01R 31/3183  
 H03K 3/02  
 H03K 5/13  
 H03L 7/00

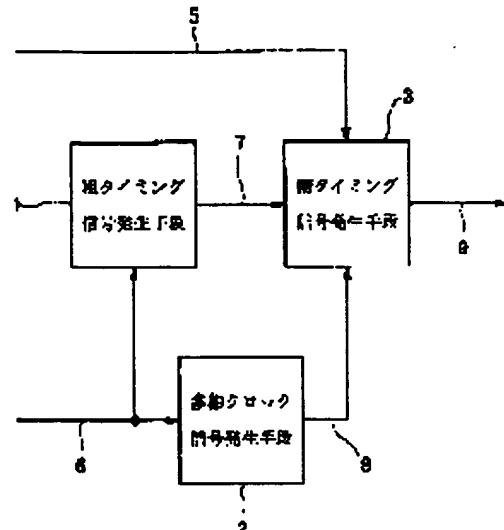
(21) Application number : 10-020048 (71) Applicant : ANDO ELECTRIC CO LTD  
 (22) Date of filing : 30.01.1998 (72) Inventor : FUJII HARUHIKO

## (54) TIMING SIGNAL GENERATING CIRCUIT

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a timing signal generating circuit capable of generating accurate timing signal.

**SOLUTION:** A coarse timing signal 7 varying its level in accordance with the pulse of an input clock signal 6 is generated and when multiple phase clock signals 8 with different phases are generated in a timing synchronizing with the input clock signal 6, a pulse is generated in accordance with the phase of the clock signal of one of the multiple phase clock signal 8 selected following the fine timing data 5 at the time coarse timing signal 7 is '1'. As it is output as a fine timing signal 9, the fine timing signal 9 can be produced regardless of the constitution that delays the timing signal varying the pulse intervals. By this, the degradation of the timing accuracy due to a pattern effect and so accurate timing signal can be generated.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-218564

(43)公開日 平成11年(1999)8月10日

(51)Int.Cl.  
 G 01 R 31/3183  
 H 03 K 3/02  
 5/13  
 H 03 L 7/00

識別記号

F I  
 G 01 R 31/28  
 H 03 K 3/02  
 5/13  
 H 03 L 7/00

Q  
 P  
 B

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号 特願平10-20048

(22)出願日 平成10年(1998)1月30日

(71)出願人 000117744

安藤電気株式会社  
東京都大田区蒲田4丁目19番7号

(72)発明者 那井 治彦

東京都大田区蒲田4丁目19番7号 安藤電  
気株式会社内

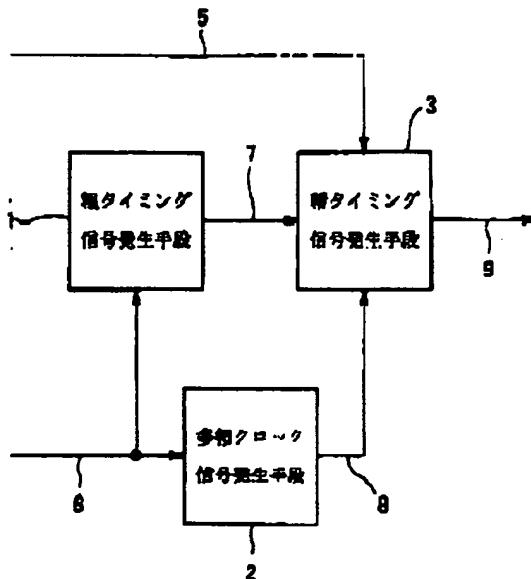
(74)代理人 弁理士 志賀 正式 (外11名)

## (54)【発明の名称】 タイミング信号発生回路

## (57)【要約】

【課題】 精度良いタイミング信号を発生し得るタイミング信号発生回路を実現する。

【解決手段】 入力クロック信号(8)のパルスに応じてレベル変化する粗タイミング信号(7)を発生し、この入力クロック信号(8)に同期したタイミングで、それぞれの位相が異なる多相クロック信号(8)を発生すると、粗タイミング信号(7)が“1”である時に、精タイミングデータ(5)に従って選択した前記多相クロック信号(8)のいずれかの相のクロック信号の位相に応じてパルスを発生し、精タイミング信号(9)として出力するので、パルス間隔の変化するタイミング信号を遅延回路で遅延するという構成に依らず、精タイミング信号(9)を生成でき、これにより、バタン効果によるタイミング精度の劣化を回避するから、精度良いタイミング信号を発生し得る。



## 【特許請求の範囲】

【請求項 1】 少なくとも、入力クロック信号(6)にパルスが入る毎に、レベル変化する粗タイミング信号(7)を発生する粗タイミング信号発生手段(1)と、

前記入力クロック信号(6)に同期したタイミングで、それぞれの位相が異なる多相クロック信号(8)を発生する多相クロック信号発生手段(2)と、

前記粗タイミング信号(7)が“1”である時に、精タイミングデータ(5)に従って選択した前記多相クロック信号(8)のいずれかの相のクロック信号の位相に応じてパルスを発生し、精タイミング信号(9)として出力する精タイミング信号発生手段(3)とを備えることを特徴とするタイミング信号発生回路。

【請求項 2】 前記精タイミング信号発生手段(3)は、少なくとも前記粗タイミング信号(7)を一方の入力とする複数のアンドゲート(32)と、

前記複数のアンドゲート(32)の各出力をそれぞれのD入力とし、前記多相クロック信号(8)の各相を、それぞれのクロック入力とする個別のDフリップフロップ(33)と、

前記複数のDフリップフロップ(33)の出力を入力とし、前記精タイミング信号(9)を出力するオアゲート(34)と、

前記精タイミングデータ(5)を入力とし、前記複数のアンドゲート(32)の他方の入力に前記精タイミングデータ(5)の値に応じて変化し、ただ一つのみが“1”となるそれぞれ独立の出力信号を送るデコード回路(31)とを備えることを特徴とする請求項1記載のタイミング信号発生回路。

【請求項 3】 前記精タイミング信号発生手段(3)は、少なくとも前記粗タイミング信号(7)を一方の入力とする複数のアンドゲート(32)と、

前記多相クロック信号(8)各相をそれぞれの入力とし、前記複数のアンドゲート(32)の各出力をそれぞれのイネーブル入力とし、イネーブル入力への信号が“1”的にに入力にパルスが送られると、出力に特定のパルス幅のパルスを出力する個別のワンショットマルチバイブレータ(35)と、

前記複数のワンショットマルチバイブレータ(35)の出力を入力とし、前記精タイミング信号(9)を出力するオアゲート(34)と、

前記精タイミングデータ(5)を入力とし、前記複数のアンドゲート(32)のもう一方の入力に前記精タイミングデータ(5)の値に応じて変化し、ただ一つのみが“1”となるそれぞれ独立の出力信号を送るデコード回路(31)とを備えることを特徴とする請求項1記載のタイミング信号発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ICテスター等の装

(2)

特開平11-218564

2

置に用いて好適な回路であって、特に発生するタイミング信号のパルス間隔を、パルス毎に変化させるタイミング信号発生回路に関する。

## 【0002】

【従来の技術】 図6は従来技術によるタイミング信号発生回路の構成を示すブロック図である。この図において、粗タイミング信号発生手段1は、入力クロック信号6の整数倍でパルス間隔が変化するパルス信号を粗タイミング信号7として可変遅延回路4に供給する。可変遅延回路4は粗タイミング信号7を遅延して精タイミング信号9を発生する。この可変遅延回路4の遅延時間は、精タイミングデータ5に応じて入力クロック信号6の周期より短い時間分解能で変化しており、その遅延時間分解能は精タイミング信号9のパルス間隔の時間分解能となっている。

## 【0003】

【発明が解決しようとする課題】 ところで、上述した従来のタイミング信号発生回路では、パルス間隔の変化する粗タイミング信号7を可変遅延回路4で遅延する原

因に、バタン効果によるジッタの増加等の原因により、出力である精タイミング信号9のタイミング精度がとりにくいという欠点があった。そこで本発明は、このような事情に鑑みてなされたもので、精度良いタイミング信号を発生することができるタイミング信号発生回路を提供することを目的としている。

## 【0004】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の発明では、少なくとも、入力クロック信号(6)にパルスが入る毎に、レベル変化する粗タイミング信号(7)を発生する粗タイミング信号発生手段(1)と、前記入力クロック信号(6)に同期したタイミングで、それぞれの位相が異なる多相クロック信号(8)を発生する多相クロック信号発生手段(2)と、前記粗タイミング信号(7)が“1”である時に、精タイミングデータ(5)に従って選択した前記多相クロック信号(8)のいずれかの相のクロック信号の位相に応じてパルスを発生し、精タイミング信号(9)として出力する精タイミング信号発生手段(3)とを備えることを特徴とする。

## 【0005】

上記請求項1に從属する請求項2に記載の発明によれば、前記精タイミング信号発生手段(3)は、少なくとも前記粗タイミング信号(7)を一方の入力とする複数のアンドゲート(32)と、前記複数のアンドゲート(32)の各出力をそれぞれのD入力とし、前記多相クロック信号(8)の各相を、それぞれのクロック入力とする個別のDフリップフロップ(33)と、前記複数のDフリップフロップ(33)の出力を入力とし、前記精タイミング信号(9)を出力するオアゲート(34)と、前記精タイミングデータ(5)を入力とし、前記複数のアンドゲート(32)の他方の入力に前記精タイミングデータ(5)の値に応じて変化し、ただ一つのみが“1”となるそれぞれ独立の出力信号を送るデコード回路(31)とを備化し、ただ一つのみが“1”となるそれぞれ独立の出力

(3)

特開平11-218564

3

信号を送るデコード回路(31)とを備えることを特徴としている。

【0006】また、上記請求項1に從属する請求項3に記載の発明によれば、前記精タイミング信号発生手段(3)は、少なくとも前記粗タイミング信号(7)を一方の入力とする複数のアンドゲート(32)と、前記多相クロック信号(8)各相をそれぞれの入力とし、前記複数のアンドゲート(32)の各出力をそれぞれのイネーブル入力とし、イネーブル入力への信号が“1”的ときに入力にパルスが送られると、出力に特定のパルス幅のパルスを出力する個別のワンショットマルチバイブレータ(35)と、前記複数のワンショットマルチバイブレータ(35)の出力を入力とし、前記精タイミング信号(9)を出力するオアゲート(34)と、前記精タイミングデータ(5)を入力とし、前記複数のアンドゲート(32)のもう一方の入力に前記精タイミングデータ(5)の値に応じて変化し、ただ一つのみが“1”となるそれぞれ独立の出力信号を送るデコード回路(31)とを備えることを特徴とする。

【0007】本発明では、粗タイミング信号発生手段(1)が入力クロック信号(6)のパルスに応じてレベル変化する粗タイミング信号(7)を発生し、多相クロック信号発生手段(2)がこの入力クロック信号(6)に同期したタイミングで、それぞれの位相が異なる多相クロック信号(8)を発生すると、精タイミング信号発生手段(3)では粗タイミング信号(7)が“1”である時に、精タイミングデータ(5)に従って選択した前記多相クロック信号(8)のいずれかの相のクロック信号の位相に応じてパルスを発生し、精タイミング信号(9)として出力する。すなわち、パルス間隔の変化するタイミング信号を遅延回路で遅延するという構成に依らず、精タイミング信号(9)を生成し得るので、従来のように、バタン効果によるタイミング精度の劣化を回避でき、結果、精度良いタイミング信号を発生し得る。

【0008】

【発明の実施の形態】以下、本発明の実施の形態によるタイミング信号発生回路を実施例とし、図面を参照して説明する。

#### (1) 概略構成

図1は本発明による一実施例の概略構成を示すブロック図である。この図において、入力クロック信号6は、粗タイミング信号発生手段1と多相クロック信号発生手段2にそれぞれ供給される。精タイミングデータ5は、精タイミング信号発生手段3に供給される。粗タイミング信号発生手段1は、入力クロック信号6にパルスが供給される毎に、レベル変化する粗タイミング信号7を発生して精タイミング信号発生手段3に供給する。

【0009】多相クロック信号発生手段2は、入力クロック信号6に同期したタイミングで、それぞれ位相が異なる多相クロック信号8を発生し、精タイミング信号発生手段3に供給する。精タイミング信号発生手段3は、

4

粗タイミング信号7が“1”的とき、精タイミングデータ5に応じて選択した多相クロック信号8のいずれかの相のクロック信号の位相に対応したパルスを発生し、これを精タイミング信号9として出力する。

【0010】(2) 具体的構成

次に、図2を参照して精タイミング信号発生手段3の具体的な構成について説明する。図2において、31はデコード回路、32-1, 32-2, ..., 32-nはそれぞれアンドゲートである。33-1, 33-2, ..., 33-nはDフリップフロップ、34はオアゲートである。粗タイミング信号7は、アンドゲート32-1, 32-2, ..., 32-nの一方の入力端を介して、多相クロック信号8-1, 8-2, 8-nの各相をそれぞれのクロック入力とする複数のDフリップフロップ33-1, 33-2, ..., 33-nのD入力端にそれぞれ供給される。デコード回路31は、精タイミングデータ5の値に応じて変化し、ただ一つのみが“1”となる。それぞれ独立の出力信号を精タイミングデータ5をアンドゲート32-1, 32-2, ..., 32-nの他方の

20 入力端にそれぞれ供給する。

【0011】次に、図3を参照して上記構成による精タイミング信号発生手段3を用いたときの実施例の動作について説明する。なお、図3(ア)は入力クロック信号6の波形例を、同図(イ)は粗タイミング信号7の波形例を、同図(ウ)は精タイミングデータ5の波形例をそれぞれ表わしており、さらに、同図(エ)-1, (エ)-2, (エ)-nはそれぞれ多相クロック信号8-1, 8-2, 8-nの各相の波形を、同図(オ)-1, (オ)-2, (オ)-nはそれぞれアンドゲート32-1, 32-2, ..., 32-nの出力信号の波形を、同図(カ)は精タイミング信号9の波形を表わしている。

【0012】まず同図(ア)に図示するように、入力クロック信号6にパルス6-1が入り、同図(イ)で粗タイミング信号7が“0”から“1”に変化してアンドゲート32-1, 32-2, ..., 32-nの一方の入力端に供給された場合、アンドゲート32-1, 32-2, ..., 32-nの他方の入力端には精タイミングデータ5に従って選択された、ただ一つのみが“1”、その他は“0”となる信号が供給される。図3はこの状態における、アンドゲート32-1の入力のみが“1”となっている場合を示しており、同図(オ)-1でアンドゲート32-1の出力が“1”に変化してDフリップフロップ33-1のD入力に送られ、同図(エ)-1でDフリップフロップ33-1のクロック入力である多相クロック信号8-1にパルスが入ると、Dフリップフロップ33-1の出力が“1”となりオアゲート34に送られ、同図(カ)で精タイミング信号9が“1”となる。

【0013】同図(ア)で、入力クロック信号6にパルス6-2が入り、同図(イ)で粗タイミング信号7が“0”に変化してアンドゲート32-1, 32-2, ...

50

(4)

特開平11-218564

6

5

・32-nへ送られると、同図(オ)-1でアンドゲート32-1の出力が"0"に変化してDフリップフロップ33-1のD入力に送られ、同図(エ)-1で多相クロック信号8-1にパルスが入ると、Dフリップフロップ33-1の出力が"0"に変化しオアゲート34に送られ、同図(カ)で精タイミング信号9が"0"となる。

【0014】次に、同図(ア)で、入力クロック信号6にパルス63が入り、同図(イ)で粗タイミング信号7が"0"から"1"に変化してアンドゲート32-1, 32-2, ..., 32-nの一方の入力端に供給される。この時、精タイミングデータ5が変化してデコード回路31の出力信号のうちアンドゲート32-2への信号のみが"1"となると、同図(オ)-2でアンドゲート32-2の出力が"1"に変化してDフリップフロップ33-2のD入力に送られ、同図(エ)-2でDフリップフロップ33-2のクロック入力である多相クロック信号8-2にパルスが入ると、Dフリップフロップ33-2の出力が"1"となりオアゲート34に送られ、同図(カ)で精タイミング信号9が"1"となる。

【0015】同図(ア)で、入力クロック信号6にパルス64が入り、同図(イ)で粗タイミング信号7が"0"に変化してアンドゲート32-1, 32-2, ..., 32-nへ送られると、同図(オ)-2でアンドゲート32-2の出力が"0"に変化してDフリップフロップ33-2のD入力に送られ、同図(エ)-2で多相クロック信号8-2にパルスが入ると、Dフリップフロップ33-2の出力が"0"に変化しオアゲート34に送られ、同図(カ)で精タイミング信号9が"0"となる。以上のように、本実施例によれば、パルス間隔の変化するタイミング信号を遅延回路で遅延するという構成をとっていないので、バタン効果によるタイミング精度の劣化を遅れることができ、これ故、従来のものに比して、精度良いタイミング信号を発生することが可能になる訳である。

#### 【0016】(3) 変形例

次に、図4を参照して精タイミング信号発生手段3の変形例について説明する。図4において、31はデコード回路、32-1, 32-2, ..., 32-nはアンドゲート、35-1, 35-2, ..., 35-nはワンショットマルチバイブレータ、34はオアゲートである。粗タイミング信号7は、アンドゲート32-1, 32-2, ..., 32-nの一方の入力端を介して、多相クロック信号8-1, 8-2, 8-nの各相をそれぞれのクロック入力とする複数のワンショットマルチバイブレータ35-1, 35-2, ..., 35-nのイネーブル入力にそれぞれ供給される。

【0017】このワンショットマルチバイブレータ35-1, 35-2, ..., 35-nはイネーブル入力が"1"である時に入力にパルスが供給されると、出力に特

定のパルス幅のパルスを出力する。デコード回路31は、精タイミングデータ5を入力とし、アンドゲート32-1, 32-2, ..., 32-nの他の入力端に精タイミングデータ5の値に応じて変化し、ただ一つのみが"1"となる、それぞれ独立の出力信号を供給する。

【0018】次に、図5を参照して上記構成による変形例の動作について説明する。図5(ア)は入力クロック信号6の波形を、同図(イ)は粗タイミング信号7の波形を、同図(ウ)は精タイミングデータ5の波形を示しており、また、同図(エ)-1, (エ)-2および(エ)-nはそれぞれ多相クロック信号8-1, 8-2, 8-nの各相の波形を、同図(オ)-1, (オ)-2および(オ)-nはそれぞれアンドゲート32-1, 32-2, 32-nの出力信号の波形を、同図(カ)は精タイミング信号9の波形を示したものである。

【0019】まず、同図(ア)に示すように、入力クロック信号6にパルス65が入り、同図(イ)で粗タイミング信号7が"0"から"1"に変化してアンドゲート32-1, 32-2, ..., 32-nの一方の入力端に供給され、この時、アンドゲート32-1, 32-2, ..., 32-nの他の入力端は精タイミングデータ5に応じて選択された、ただ一つのみが"1"、その他は"0"となっている。図5は、アンドゲート32-1の入力のみが"1"となっている場合を示しており、同図(オ)-1でアンドゲート32-1の出力が"1"に変化しワンショットマルチバイブレータ35-1のイネーブル入力に送られ、同図(エ)-1でワンショットマルチバイブレータ35-1の入力である多相クロック信号8-1にパルスが入ると、ワンショットマルチバイブレータ35-1は特定のパルス幅のパルスを発生してオアゲート34を介し、同図(カ)に示すように、精タイミング信号9に出力する。

【0020】次に、同図(ア)において、入力クロック信号6にパルス66が入り、同図(イ)で粗タイミング信号7が"0"に変化してアンドゲート32-1, 32-2, ..., 32-nへ送られると、同図(オ)-1でアンドゲート32-1の出力が"0"に変化する。さらに、同図(ア)で入力クロック信号6にパルス67が入り、同図(イ)で粗タイミング信号7が"0"から"1"に変化してアンドゲート32-1, 32-2, ..., 32-nの一方の入力端に供給される。

【0021】図5はこのとき精タイミングデータ5が変化しデコード回路31の出力信号のうちアンドゲート32-2への信号のみが"1"となっている場合を示しており、同図(オ)-2でアンドゲート32-2の出力が"1"に変化してワンショットマルチバイブレータ35-2のイネーブル入力に送られ、同図(エ)-2でワンショットマルチバイブレータ35-2の入力である多相クロック信号8-2にパルスが入ると、ワンショットマルチバイブレータ35-2は特定のパルス幅のパルス

50

(5)

特開平11-218564

8

7  
を発生してオアゲート34を介し、同図(カ)に示すように精タイミング信号9に出力する。

【0022】そして、同図(ア)において、入力クロック信号6にパルス68が入り、同図(イ)で粗タイミング信号7が“0”に変化してアンドゲート32-1, 32-2, … 32-nへ送られると、同図(オ)～1でアンドゲート32-1の出力が“0”に変化する。このように、変形例によるタイミング信号発生回路においても、パルス間隔の変化するタイミング信号を遅延回路で遅延するという構成をとっていないので、バタン効果によるタイミング精度の劣化を防れることができ、精度良いタイミング信号を発生し得る。

【0023】

【発明の効果】本発明によれば、パルス間隔の変化するタイミング信号を遅延回路で遅延するという構成に依らず、精タイミング信号(9)を生成し得るので、従来のように、バタン効果によるタイミング精度の劣化を回避でき、結果、精度良いタイミング信号を発生し得る。

【図面の簡単な説明】

【図1】本発明による一実施例の本発明によるタイミング信号発生回路の一実施例の基本構成を示すブロック回路図である。

10

【符号の説明】

1 粗タイミング信号発生手段

2 多相クロック信号発生手段

3 精タイミング信号発生手段

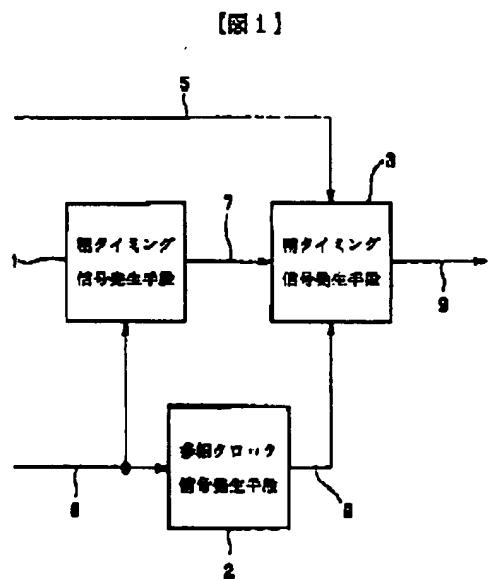
31 デコード回路

32-1, 32-2, … 32-n アンドゲート

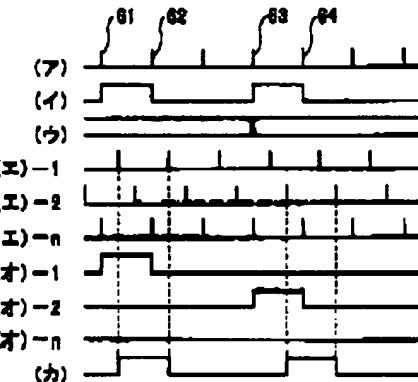
33-1, 33-2, … 33-n Dフリップフロップ

34 オアゲート

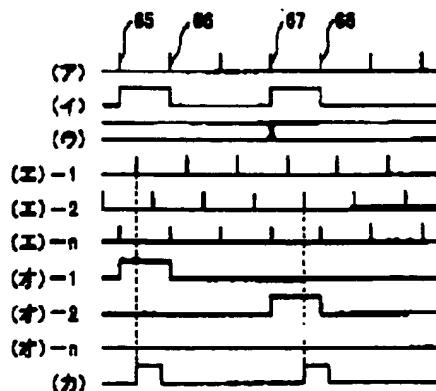
20 35-1, 35-2, … 35-n ワンショットマルチバイブレータ



【図3】



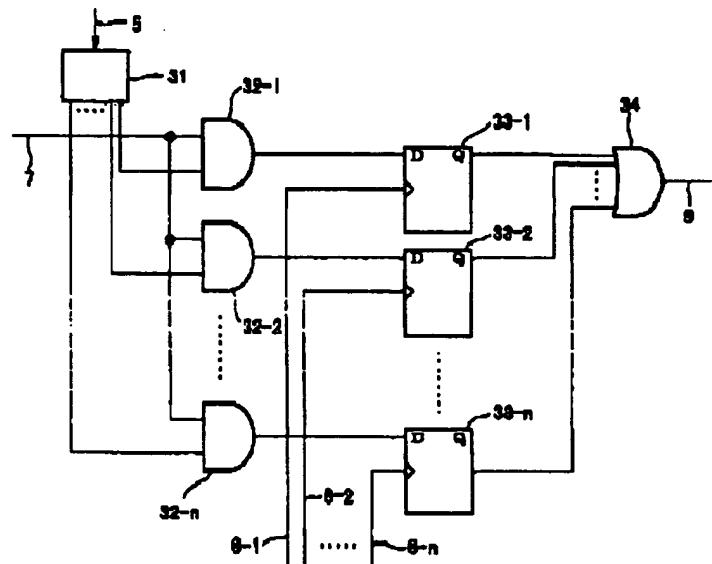
【図5】



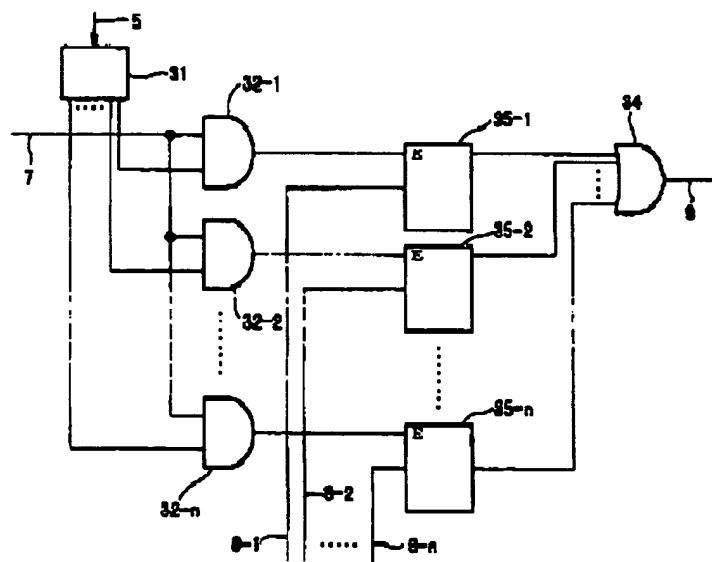
(6)

特開平11-218564

【図2】



【図4】



(7)

特開平11-218564

【図6】

